
CF5010 SPEC

用户使用手册

微五科技

中国苏州创业园 3 号楼

基于 RISC-V 的 32 位微处理器

特性

- 高性能 RISC-V 内核
 - 3 级单发射流水，集成单周期乘法单元，支持机器/用户模式切换，原子操作，压缩指令，调试支持 8 个硬件断点，支持 80 个中断源，160MHz 主频，2.27/1.46 DMIPS/MHz (Best Effort/Legal)/ 3.1 CoreMark/MHz
- 低功耗设计
 - 内核支持动态性能调整
 - 支持 sleep mode
 - 支持 stop mode
- 内置硬件 CORDIC 运算器，支持正余弦、反正切、模运算
- 系统关键寄存器保护
 - 对系统关键配置寄存器使用校验和保护，有效降低外界干扰
- 存储单元
 - 128 Kbytes FLASH 程序存储器(2KB Cache)
 - 20 Kbytes SRAM
- 电源，复位及时钟管理
 - 2.1V~3.6V 供电，3V 供电系统
 - 支持上电复位(POD)、掉电检测(PDR)、低电压复位(LVR)
 - 支持硬件看门狗 (IWDG) / 窗口看门狗 (WWDG)
 - 支持外部高速晶振 (HSE)
 - 内嵌高频 RC (8MHz HSI)
 - 内嵌低速 RC (32K LSI)
 - 内部集成 PLL (200MHz)
- 丰富的通讯接口
 - 3 路全功能异步串行接口 USART*3
 - 1 路异步基本串行接口 UART4
 - 2 路同步串行接口 SPI*2
 - 2 路 IIC 接口 IIC*2
 - 1 路 bxCAN，支持 CAN2.0
- 高性能的模拟外设 (SAR ADC)
 - 12 bit 逐次逼近型 高速 ADC
 - 2MSPS 的采样率
 - 最多支持 12 个采样通道，支持 DMA 缓存
 - 支持单次/连续/同步/独立采样和事件触发
- 2 路独立模拟比较器 (COMP)
 - 可编程数字滤波功能
 - 每个比较器支持 7 个通道 (4P + 3N)
 - 具有刹车保护、中断、定时触发等功能
- DMA 控制器
 - 1 个 DMA1 支持 7 个通道；支持 SRAM 与多个外设 (ADC/UART/SPI/Timer/I2C 等) 之间的数据传输
 - 1 个 DMA2 支持 5 个通道；支持 SRAM 与 USART3/Timer 的数据传输
- Timer
 - 2 个 16 位高级定时器，可生成 PWM 信号，具有死区补偿、输入捕获、互补输出，紧急刹车等功能；
 - 4 个 16 位通用定时器，一个 32 位通用定时器，具输入捕获，输出比较等功能，可适配为 PWM 输出
 - 1 个 16 位基本定时器，输入捕获/输出比较
 - 1 个 64 位的系统定时器
- 支持高达 51 个快速 GPIO 接口 (部分兼容 5V 电平)
- 支持标准 JTAG 仿真调试接口
- 支持 ISP 更新(USART1)
- 工作环境
 - 工作温度范围： -40°C ~ +85°C
- 封装：
 - LQFP64 (10*10)

免责声明

本文档为微五公司产品 CF5010 用户使用手册。微五科技根据公司产品 CF5010 的特性编撰，由于涉及内容较多及编者主观表述存在差异，手册内容难免存在疏漏及歧义。如用户对文档中功能描述产生异议，本产品最终解释权归微五公司所有。

缩略词表

read/write (RW)	软件可以对寄存器随意读写
read-only (RO)	软件可以对寄存器随意读不可写
write-only (WO)	软件可以对寄存器随意写不可读
read/clear (RC_W1)	软件可以对寄存器读并且写 1 清除寄存器值，写 0 对该寄存器无效
read/clear (RC_W0)	软件可以对寄存器读并且写 0 清除寄存器值，写 1 对该寄存器无效
read/clear by read(RC_R)	软件可以对寄存器读并且读该寄存器自动对其清 0，写任何值对该寄存器都无效
read/set (RS)	软件可以对寄存器读并且读该寄存器自动对其置位，写任何值对该寄存器都无效
read-only write trigger (RT_W)	软件可以对寄存器读，写入任何值都可以触发事件，但是对该寄存器值无影响
toggle (t)	软件对寄存器写 1 触发，写 0 无影响
Reserved (RES)	保留寄存器

目录

目录

特性.....	2
免责声明.....	3
缩略词表.....	4
目录.....	5
参考文献.....	6
1 概述.....	7
2 系统架构.....	7
3 引脚封装.....	8
3.1 功能引脚.....	8
4 地址空间映像.....	11
4.1 地址空间映像&属性.....	11
4.2 外设寄存器映像.....	11
4.3 系统存储器启动.....	13
5 中断和异常 Interrupts and Exceptions.....	14
5.1 CF5010 内核中断和异常说明.....	15
6 调试&开发.....	17
6.1 调试.....	17
6.2 开发.....	17
7 封装.....	18
7.1 LQFP64_10X10.....	18
8 版本.....	19

参考文献

RISCV 特权模式官方文档

The RISC-V Instruction Set Manual Volume II: Privileged Architecture Document Version 20190608-Priv-MSU-Ratified

RISCV 调试模式官方文档

RISC-V External Debug Support Version 0.13-DRAFT

RISCV 官方组织页面

<https://wiki.riscv.org/display/TECH>

RISCV GitHub 连接

<https://wiki.riscv.org/display/TECH/GitHub+Repo+Map>

SiFive 公司官网

<https://www.sifive.com>

SiFive 公司 GitHub 连接

<https://github.com/sifive>

微五科技官网

<http://www.chinafive.com.cn/>

赛昉科技官网

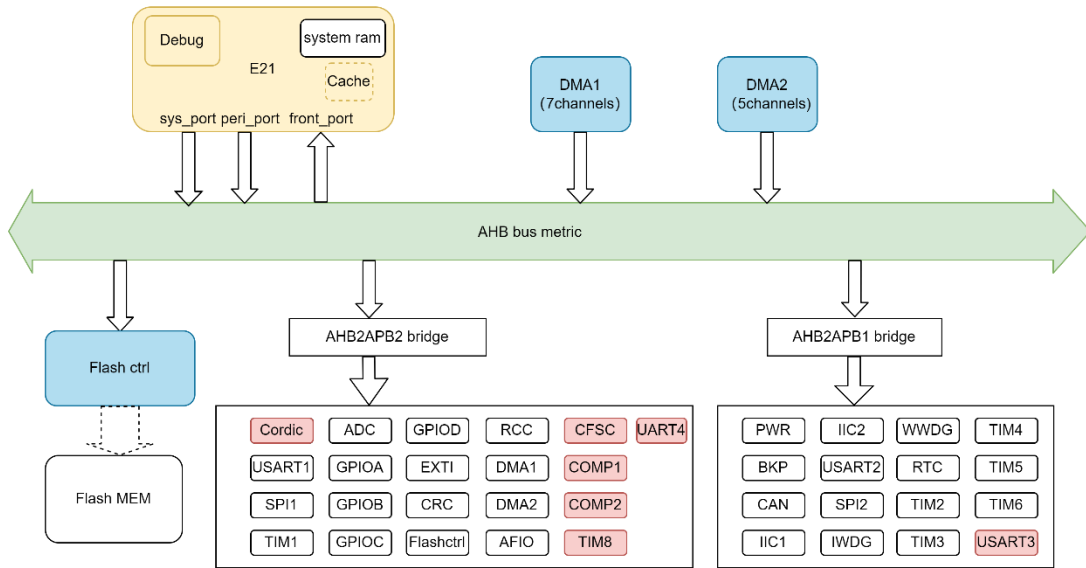
<https://www.starfivetech.com/>

1 概述

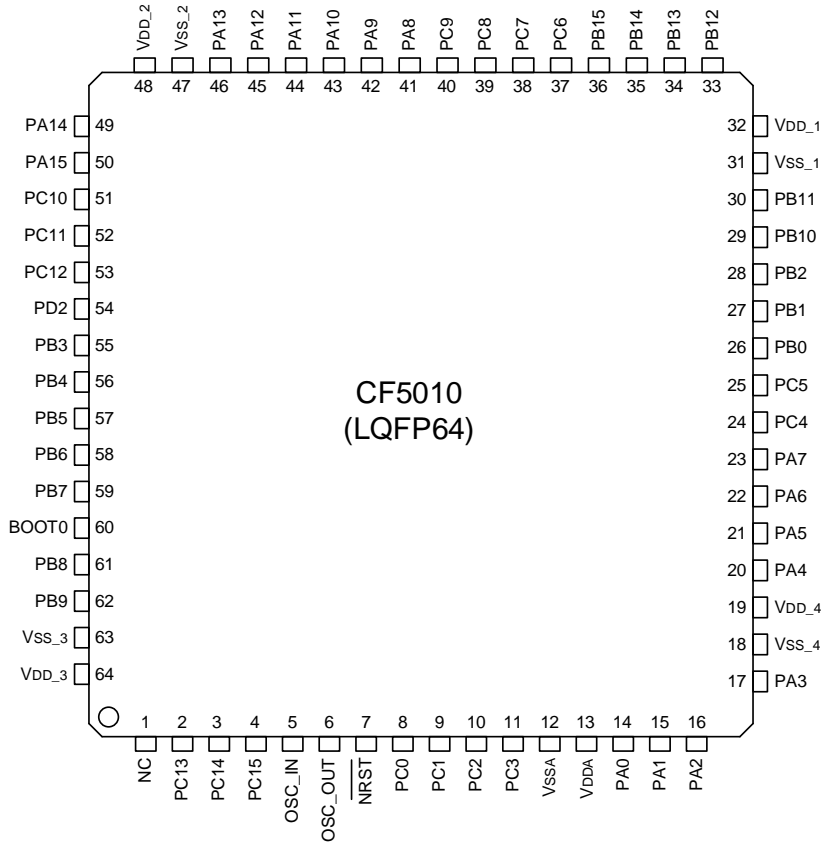
CF5010 基于 SiFive E2 系列内核设计而成的 32 位工业微处理器，E2 系列内核架构经过特殊优化具有性能高功耗低的优点，处理器最高支持 160MHz 的工作主频，支持 RV32IMAC 指令集，优秀的微架构设计让硬件指令具有更高的执行效率，RISC-V 支持多达 32 个通用寄存器，丰富的寄存器资源使得目标代码更加简洁。

CF5010 集成高级定时器、数学运算加速模块、高速 ADC、高速比较器、内部 PGA 等外设，在电机控制领域有很好的应用前景。同时 CF5010 集成 IIC USART SPI CAN 等通讯接口，结合不同的外设、模组在 IOT 领域有出色的发挥空间。高速的内核以及丰富的接口让 CF5010 在诸多应用领域都有用武之地。

2 系统架构



3 引脚封装



3.1 功能引脚

LQFP64 封装的 CF5010，包含 PA、PB、PC、PD 四组通用 IO，其中 PA、PB、PC 各有 16 根通用 IO，PD 口有 3 根通用 IO，共 51 根。其中包含三组全功能异步串行通讯口 USART1/2/3，一组普通异步通讯口 UART4，两组同步串行通讯口 SPI1/2，两组内部集成同步通讯总线 IIC1/2，一组控制器局域网总线 bxCAN，一组带 PGA 的模拟 ADC 输入口，一组模拟比较器输入口，两组高级定时器 Timer1/8，四组通用定时器 Timer2/3/4/5，一组基本定时器 Timer6。

3.1.1 USART1/2/3&UART4

名称	引脚
USART1 CK	PA8
USART1 TX	PA9/PB6
USART1 RX	PA10/PB7
USART1 CTS	PA11
USART1 RTS	PA12
USART2 CTS	PA0
USART2 RTS	PA1
USART2 TX	PA2
USART2 RX	PA3
USART2 CK	PA4
USART3 TX	PB10/PC10
USART3 RX	PB11/PC11

USART3_CLK	PB12/PC12
USART3_CTS	PB13
USART3_RTS	PB14
USART4_TX	PC10
USART4_RX	PC11

3.1.2 COMP

名称	引脚
COMP1_VIP0	PC13
COMP1_VIP1	PC14
COMP1_VICIN1	PC15
COMP1_VIP2	PC2
COMP1_VICIN2	PC3
COMP1_VIP3	PC4
COMP1_VICIN3	PC5
COMP2_VIP2	PC6
COMP2_VICIN2	PC7
COMP2_VIP3	PC8
COMP2_VICIN3	PC9
COMP2_VIP0	PC10
COMP2_VIP1	PC11
COMP2_VICIN1	PC12

3.1.3 IIC1/2

名称	引脚
IIC1_SMBA	PB5
IIC1_SCL	PB6/PB8
IIC1_SDA	PB7/PB9
IIC2_SCL	PB10
IIC2_SDA	PB11
I2C2_SMBA	PB12

3.1.4 SPI1/2

名称	引脚
SPI1_NSS	PA4/PA15
SPI1_SCK	PA5/PB3
SPI1_MISO	PA6/PB4
SPI1_MOSI	PA7/PB5
SPI2_NSS	PB12
SPI2_SCK	PB13
SPI2_MISO	PB14
SPI2_MOSI	PB15

3.1.5 CAN

名称	引脚
CAN_RX	PA11/PD0/PB8
CAN_TX	PA12/PD1/PB9

3.1.6 ADC

名称	引脚
ADC_Channel0	PA0
ADC_Channel1	PA1
ADC_Channel2	PA2
ADC_Channel3	PA3

ADC Channel4	PA4
ADC Channel5	PA5
ADC Channel6	PA6
ADC Channel7	PA7
ADC Channel8	PB0
ADC Channel9	PB1

3.1.7 Timer1/2/3/4/5/8

名称	引脚
TIM1 CH1	PA8
TIM1 CH2	PA9
TIM1 CH3	PA10
TIM1 CH4	PA11
TIM1 ETR	PA12
TIM1 BKIN	PB12/PA6
TIM1 CH1N	PB13/PA7
TIM1 CH2N	PB14/PB0
TIM1 CH3N	PB15/PB1
TIM2 CH1 ETR	PA0/PA15
TIM2 CH2	PA1/PB3
TIM2 CH3	PA2/PB10
TIM2 CH4	PA3/PB11
TIM3 CH1	PA6/PC6
TIM3 CH2	PA7/PC7
TIM3 CH3	PB0/PC8
TIM3 CH4	PB1/PC9
TIM4 CH1	PB6/PD12
TIM4 CH2	PB7/PD13
TIM4 CH3	PB8/PD14
TIM4 CH4	PB9/PD15
TIM5 CH1	PA0
TIM5 CH2	PA1
TIM5 CH3	PA2
TIM5 CH4	PA3
TIM8 CH1	PC6
TIM8 CH2	PC7
TIM8 CH3	PC8
TIM8 CH4	PC9
TIM8 ETR	PA0
TIM8 BKIN	PA6
TIM8 CH1N	PA7
TIM8 CH2N	PB0
TIM8 CH3N	PB1

3.1.8 MCO&TAMPER&BOOT0&BOOT1

名称	引脚
MCO	PA8
TAMPER	PC13
BOOT1	PB2

3.1.9 JTAG

名称	引脚
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3

4 地址空间映像

CF5010 的程序存储器、数据存储器、寄存器、内核控制寄存器和调试端口被组织在一个 4GB 大小的线性地址空间内。字节以小端的格式存储，即一个数据的低地址存放该字的最低有效字节，高地址空间存储数据的高位字节。

4.1 地址空间映像&属性

地址空间	属性	功能
0x0000 0000 - 0x0000 0FFF	-	内核控制存储器
0x0000 1000 - 0x0000 2FFF	-	保留
0x0000 3000 - 0x0000 3FFF	RWX A	调试程序
0x0000 4000 - 0x01FF FFFF	-	保留
0x0200 0000 - 0x02FF FFFF	RW A	中断控制器
0x0200 0000 - 0x02FF FFFF	-	保留
0x2000 0000 - 0x2FFF FFFF	RWXI	程序存储器（128KB）
0x3000 0000 - 0x3000 3FFF	RWX	数据存储器（20KB）
0x3000 4000 - 0x3FFF FFFF	-	保留
0x4000 0000 - 0x7FFF FFFF	RWXI A	外设接口（1GB）
0x8000 0000 - 0xFFFF FFFF	-	保留

4.2 外设寄存器映像

Boundary address	Peripheral	Bus
0x0000 0000 - 0x0000 0FFF	Debug(CSR)	CORE
0x0000 1000 - 0x0000 2FFF	Reserved	
0x0000 3000 - 0x0000 3FFF	Error Device	
0x0000 4000 - 0x01FF FFFF	Reserved	
0x0200 0000 - 0x02FF FFFF	CLIC	
0x2000 0000 - 0x2001 FFFF	Flash Memory	AHB(160MHz)
0x2FFF F000 - 0x2FFF F7FF	Flash system memory	
0x2FFF F800 - 0x2FFF FFFF	Flash OBR memory	
0x3000 0000 - 0x3000_5000	sys ram	APB1(80MHz)
0x4000 0000 - 0x4000 03FF	TIM2	
0x4000 0400 - 0x4000 07FF	TIM3	
0x4000 0800 - 0x4000 0BFF	TIM4	
0x4000 0C00 - 0x4000 0FFF	TIM5	
0x4000 1000 - 0x4000 13FF	TIM6	
0x4000 1400 - 0x4000 17FF	PWR	
0x4000 1800 - 0x4000 27FF	Reserved	
0x4000 2800 - 0x4000 2BFF	RTC	
0x4000 2C00 - 0x4000 2FFF	WWDG	
0x4000 3000 - 0x4000 33FF	IWDG	
0x4000 3400 - 0x4000 37FF	Reserved	
0x4000 3800 - 0x4000 3BFF	SPI2/I2S	
0x4000 3C00 - 0x4000 3FFF	Reserved	
0x4000 4400 - 0x4000 47FF	USART2	
0x4000 4800 - 0x4000 53FF	Reserved	

0x4000 5400 - 0x4000 57FF	I2C1	
0x4000 5800 - 0x4000 5BFF	I2C2	
0x4000 6000 - 0x4000 63FF	USART3	
0x4000 6400 - 0x4000 67FF	CAN	
0x4000 6800 - 0x4000 6BFF	Reserved	
0x4000 6C00 - 0x4000 6FFF	BKP	
0x4000 7000 - 0x4000 73FF	Reserved	
0x4000 7400 - 0x4000 7FFF	Reserved	
0x4001 0000 - 0x4001 03FF	AFIO	APB2(160MHz)
0x4001 0400 - 0x4001 07FF	EXTI	
0x4001 0800 - 0x4001 0BFF	GPIOA	
0x4001 0C00 - 0x4001 0FFF	GPIOB	
0x4001 1000 - 0x4001 13FF	GPIOC	
0x4001 1400 - 0x4001 17FF	GPIOD	
0x4001 2000 - 0x4001 23FF	Reserved	
0x4001 2400 - 0x4001 27FF	ADC	
0x4001 2800 - 0x4001 2BFF	Reserved	
0x4001 2C00 - 0x4001 2FFF	TIM1	
0x4001 3000 - 0x4001 33FF	SPI1	
0x4001 3400 - 0x4001 37FF	TIM8	
0x4001 3800 - 0x4001 3BFF	USART1	
0x4001 3C00 - 0x4001 3FFF	CORDIC	
0x4001 4000 - 0x4001 4BFF	COMP2	
0x4001 4C00 - 0x4001 4FFF	COMP1	
0x4001 5000 - 0x4001 53FF	MISC	
0x4001 5400 - 0x4001 7FFF	Reserved	
0x4001 8000 - 0x4001 FFFF	Reserved	
0x4002 0000 - 0x4002 03FF	DMA1	
0x4002 0400 - 0x4002 07FF	DMA2	
0x4002 1000 - 0x4002 13FF	RCC	
0x4002 1400 - 0x4002 1FFF	UART4	
0x4002 2000 - 0x4002 23FF	FLASH	
0x4002 3000 - 0x4002 33FF	CRC	
0x4002 3400 - 0x4002 3FFF	Reserved	

启动配置

CF5010 支持三种不同的启动模式，通过启动引脚来区分：

图 4.2.1 启动模式说明

启动模式选择引脚		启动模式	说明
BOOT1	BOOT0		
X	0	程序存储器	Flash 被选择为启动区域
0	1	系统存储器	系统存储器被选择为启动区域
1	1	数据存储器	内置 SRAM 被选择为启动区域

系统复位后，系统时钟的第四个上升沿，BOOT 引脚数据将被锁存。用户可以通过设置 BOOT1 和 BOOT0 引脚的状态，来选择复位后的启动模式。

在启动延迟后，CPU 根据 BOOT 引脚的配置加载可执行代码。根据选定的启动模式，内核分别以一下地址加载代码：

- BOOT0 = 0 时，内核从程序存储器地址开始加载代码即 0x20000000 地址；
- BOOT0=1 BOOT1=0 时，内核从 0x2FFFF000 地址加载代码（只读）；

- BOOT0=1 BOOT1=1 时，内核从 0x30000000 地址加载代码；

4.3 系统存储器启动

自举程序存放在系统存储器区域，当选择从系统存储器启动时，自举程序可以为用户提供 UART 接口的 Flash 升级服务。UART 配置：

接口：USART1

默认波特率：115200bps

停止位：1bit

校验位：0bit

5 中断和异常 Interrupts and Exceptions

CF5010 支持内核中断和异常处理，同时支持内核本地中断控制器 Core-Local Interrupt Controller (CLIC)，CLIC 支持中断分级（中断嵌套），支持中断优先级。

- 支持最多 16 个异常状态
- 支持最多 16 个内核中断
- 支持最多 80 个 CLIC 本地中断
- 支持最多 16 个中断等级
- 支持最多 16 个中断优先级
- 支持中断快速响应 4 时钟延迟

CF5010 中断编号

ID	Name	Description
0~2	Reserved	
3	msip	Machine Software Interrupt
4~6	Reserved	
7	mtip	Machine Timer Interrupt
8~10	Reserved	
11	meip	Machine External Interrupt
12	csip	CLIC Software Interrupt
13~15	Reserved	
16	WWDG	Window watchdog interrupt
17	PVD	PVD through EXTI Line detection interrupt (EXTI16)
18	TAMPER	Tamper interrupt
19	RTC	RTC global interrupt
20	FLASH	Flash global interrupt
21	RCC	RCC global interrupt
22	EXTI0	EXTI Line0 interrupt
23	EXTI1	EXTI Line1 interrupt
24	EXTI2	EXTI Line2 interrupt
25	EXTI3	EXTI Line3 interrupt
26	EXTI4	EXTI Line4 interrupt
27	DMA1_Channel1	DMA1 Channel1 global interrupt
28	DMA1_Channel2	DMA1 Channel2 global interrupt
29	DMA1_Channel3	DMA1 Channel3 global interrupt
30	DMA1_Channel4	DMA1 Channel4 global interrupt
31	DMA1_Channel5	DMA1 Channel5 global interrupt
32	DMA1_Channel6	DMA1 Channel6 global interrupt
33	DMA1_Channel7	DMA1 Channel7 global interrupt
34	ADC	ADC global interrupt
35	CAN_TX	CAN TX interrupt
36	CAN_RX0	CAN RX FIFO0 interrupt
37	CAN_RX1	CAN RX FIFO1 interrupt
38	CAN_SCE	CAN SCE interrupt
39	EXTI9_5	EXTI Line[9:5] interrupts
40	TIM1_BRK	TIM1 Break interrupt
41	TIM1_UP	TIM1 Update interrupt
42	TIM1_TRG_COM	TIM1 Trigger and Commutation interrupt

43	TIM1_CC	TIM1 Capture Compare interrupt
44	TIM2	TIM2 global interrupt
45	TIM3	TIM3 global interrupt
46	TIM4	TIM4 global interrupt
47	I2C1_EV	I2C1 event interrupt
48	I2C1_ER	I2C1 error interrupt
49	I2C2_EV	I2C2 event interrupt
50	I2C2_ER	I2C2 error interrupt
51	SPI1	SPI1 global interrupt
52	SPI2	SPI2 global interrupt
53	USART1	USART1 global interrupt
54	USART2	USART2 global interrupt
55	USART3	USART3 global interrupt
56	EXTI15_10	EXTI Line[15:10] interrupts
57	RTCAlarm	RTC alarm through EXTI line interrupt (EXTI17)
58	1'b0	tie 0
59	TIM8_BRK	TIM8 Break interrupt
60	TIM8_UP	TIM8 Update interrupt
61	TIM8_TRG_COM	TIM8 Trigger and Commutation interrupt
62	TIM8_CC	TIM8 Capture Compare interrupt
63	1'b0	tie 0
64	COMP1	COMP1 interrupt
65	COMP2	COMP2 interrupt
66	TIM5	TIM5 global interrupt
67	1'b0	tie 0
68	USART4	USART4 global interrupt
69	1'b0	tie 0
70	TIM6	TIM6 global interrupt
71	1'b0	tie 0
72	DMA2_Channel1	DMA2 Channel1 global interrupt
73	DMA2_Channel2	DMA2 Channel2 global interrupt
74	DMA2_Channel3	DMA2 Channel3 global interrupt
75	DMA2_Channel4	DMA2 Channel4 global interrupt
76	DMA2_Channel5	DMA2 Channel5 global interrupt
77	CORDIC	CORDIC interrupt
78-94	1'b0	tie 0
95	CRC8_ERR_INT	rcc pwr register crc8 check err interrupt

5.1 CF5010 内核中断和异常说明

RISC-V 规范中提到了标准的内核中断规范

注: The RISC-V Instruction Set Manual Volume II: Privileged Architecture Document

Version 20190608-Priv-MSU-Ratified

5.1.1 CF5010 中断

中断是异步事件，它导致程序更改目前的执行顺序跳转到特定位置来处理中断事件。当中断完成以后，程序恢复到原来位置继续执行。CF5010 支持多达 80 本地中断，本地中断由内核本地中断

控制器管理，可以设定中断等级以及中断优先级。

5.1.2 CF5010 异常

异常与中断不同，因为它们通常与指令执行同步发生，而且最常见的异常是导致程序进入异常处理程序的同步事件。例如程序在管理特权模式下运行，如果试图访问只有机器模式有权访问的权限控制状态寄存器(CSR)，它将立即输入异常并且执行异常处理函数确定下一步的操作。mstatus 寄存器中的异常代码将保存一个值 0x2，表明发生了非法指令异常。根据系统的设计要求，管理模式应用程序可以报告错误或终止整个程序。

没有特定的位来控制异常使能,因为它们总是在默认启用。然而在启动流程早期,软件应该设置 mtvec 的值,它包含默认异常处理程序的基本地址。所有异常都将捕获到 mtvec.BASE 对应的软件,异常处理程序必须读取 mcause (in CSR),以确定异常的来源,并采取适当的操作。

在中断处理程序中发生的异常将立即导致中断程序中止并进入异常处理程序。中断处理程序中的异常通常是软件错误造成的通常应该避免，因为 mepc 和 mcause 将被覆盖。

RISCV 定义的同步异常有一个优先级顺序，当一个指令同时发生多个异常时，可能需要考虑这个优先级顺序。表描述了同步异常优先级顺序。

表 5.1.1 异常优先级

Priority	Interrupt Exception Code	Description
Highest	3	Instruction Address Breakpoint
	12	Instruction page fault
	1	Instruction access fault
	2	Illegal instruction
	0	Instruction address misaligned
	8/9/11	Environment call
	3	Environment break
	3	Load/Store/AMO address breakpoint
	6	Store/AMO address misaligned
	4	Load address misaligned
	15	Store/AMO page fault
	13	Load page fault
	7	Store/AMO access fault
Lowest	5	Load access fault

如上面的表所示数据地址断点(观察点)、指令地址断点和环境断点(EBREAK)都有相同的 Exception 代码(3)，但是拥有不同的优先级。指令地址错误异常(0x0)的优先级低于其他指令地址异常，因为它们是带有错误目标的控制流指令的结果，而不是指令获取的结果。

6 调试&开发

6.1 调试

6.1.1 OpenOCD

CF5010 基于 RISC-V 指令集的 32 位 MCU，架构是 Sifive E2 系列内核，支持标准 JTAG 调试接口，支持系统以 4 线 JTAG 方式调试。

接口电路为：TMS、TCK、TDI、TDO，分别为模式选择、时钟、数据输入和数据输出线。

调试建议 OpenOCD 配合 GDB 使用

硬件建议使用 Olimex 生产的 ARM-USB-TINY-H



天猫采购地址：

<https://detail.tmall.com/item.htm?id=535944150177&spm=a1z09.8149145.w4023-14306215779.22.2c6a61f4p6peur>

官方采购地址：

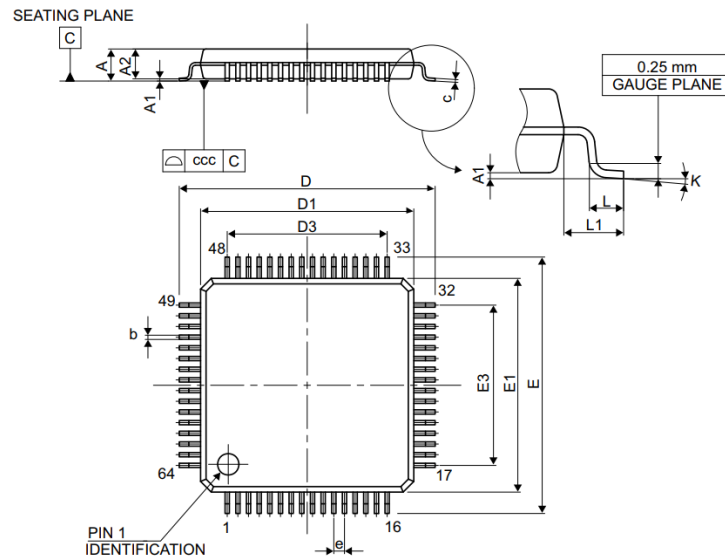
<https://www.olimex.com/Products/ARM/JTAG/ARM-USB-TINY-H/>

6.2 开发

CF5010 支持的集成开发软件有 Eclipse/IAR。推荐使用 Eclipse 作为项目开发工具。详细的 Eclipse 配置请参考：Eclipse 配置手册。

7 封装

7.1 LQFP64_10X10



Symbol	millimeters			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031



8 版本

版本	状态	Owner	时间
Ver1.0.0.0	初稿, 正式 Release	Andy	20211231